

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05067203 A

(43) Date of publication of application: 19 . 03 . 93

(51) Int. Cl

G06F 15/66
G06F 15/16
H04N 5/20

(21) Application number: 03230305

(71) Applicant: SONY CORP

(22) Date of filing: 10 . 09 . 91

(72) Inventor: IWASE SEIICHIRO

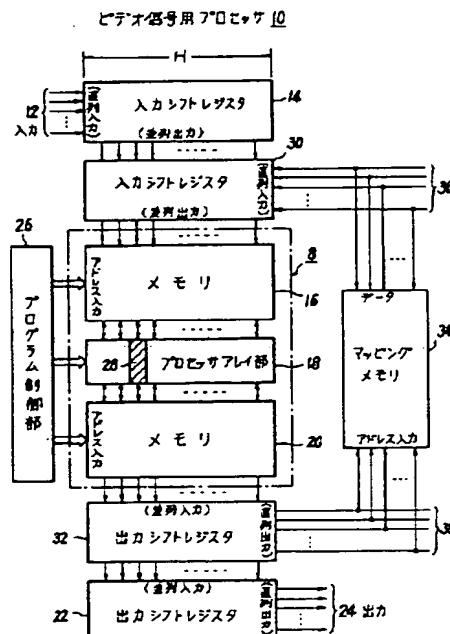
(54) PROCESSOR FOR SIGNAL PROCESSING

(57) Abstract:

PURPOSE: To execute a non-linear processing in a processor for signal processing.

CONSTITUTION: An input shift register 14 which temporarily accumulates input picture data, stores 16 and 20 accumulating input picture data from the input shift register 14, a processor array part 18 which reads picture data accumulated in the memories, executes the linear processing such as an arithmetic operation and reaccumulates it in the memory 16 or 20, an output shift register 22 to which picture data from the memory 16 or 20 are inputted in parallel, an input shift register 30 for an external processing, to which picture data processed in an external part is inputted, an output shift register 32, and a mapping memory 34 provided between the shift registers 30 and 32 for the external processing are given. The mapping memory 34 is used as a lookup table for the non-linear processing.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-67203

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.⁵
G 0 6 F 15/66
15/16
H 0 4 N 5/20

識別記号 庁内整理番号
J 8420-5L
3 9 0 T 9190-5L
8626-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1(全10頁)

(21)出願番号 特願平3-230305

(22)出願日 平成3年(1991)9月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岩瀬 清一郎

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

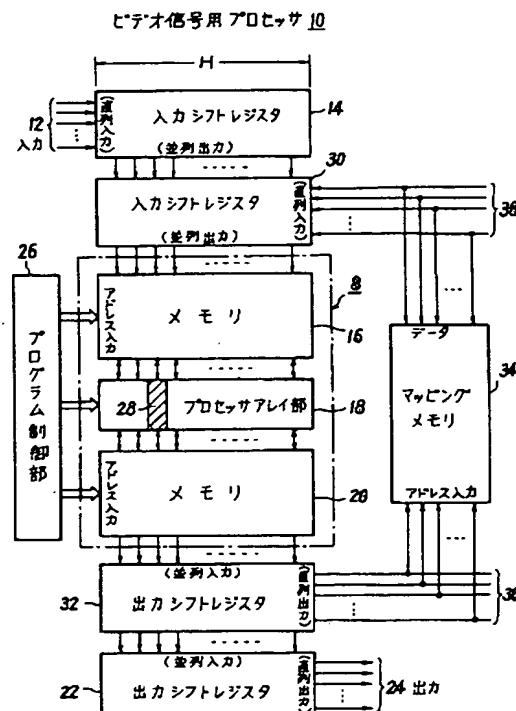
(74)代理人 弁理士 山口 邦夫 (外1名)

(54)【発明の名称】 信号処理用プロセッサ

(57)【要約】

【目的】 信号処理用プロセッサにおいて、非線形処理も行えるようにする。

【構成】 入力画像データを一時的に蓄積する入力シフトレジスタ14と、入力シフトレジスタ14から入力画像データを蓄積するメモリ16若しくは20と、これらに蓄積された画像データを読み出して算術演算などの線形処理を行い、これをメモリ16若しくは20に再蓄積するS I MD制御されたプロセッサアレイ部18と、メモリ16若しくは20からの画像データが並列入力される出力シフトレジスタ22と、外部で処理された画像データが入力する外部処理用の入力シフトレジスタ30および出力シフトレジスタ32と、これら外部処理用のシフトレジスタ30と32との間に設けられたマッピングメモリ34とを有する。マッピングメモリ34が非線形処理用のルックアップテーブルとして用いられる。



【特許請求の範囲】

【請求項1】 一定走査期間ごとの入力データを一時的に蓄積する入力シフトレジスタと、
入力シフトレジスタから上記入力データを並列に読み出してこれを蓄積するメモリと、
メモリに蓄積されたデータを読み出して算術演算などの線形処理を行い、これを上記メモリに再蓄積するS I M D制御されたプロセッサアレイと、
上記メモリからのデータが並列入力される出力シフトレジスタと、
外部で処理されたデータが入力する外部処理用のシフトレジスタと、
外部で処理するためのデータ出力用として使用される出力シフトレジスタと、
これら外部処理用の入力シフトレジスタと出力シフトレジスタとの間に設けられたマッピングメモリとを有し、
上記マッピングメモリが非線形処理用のルックアップテーブルとして用いられてなることを特徴とする信号処理用プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、テレビジョンなどのビデオ信号（画像信号）をデジタル処理するプログラマブルなビデオ信号用プロセッサなどに適用して好適な信号処理用プロセッサ、特に非線形処理に好適な信号処理用プロセッサに関する。

【0002】

【従来の技術】 テレビジョンなどのビデオ信号（画像信号）のデジタル信号処理をプログラマブルに実現する信号処理用プロセッサの構成として、1ビットALUによるプロセッサアレイをV R A Mに組み込んだ形のビデオ信号用プロセッサが知られている（例えば、「JIM CHILDERS, et al "SVP:SERIAL VIDEO PROCESSOR" IEEE 1990 CUSTOM INTEGRATED CIRCUITS CONFERENCE 17.3」など）。

【0003】 この論文に記載されたビデオ信号用プロセッサは図5に示すように構成されている。図に示すビデオ信号用プロセッサ10は、V R A M8、入力シフトレジスタ14、出力シフトレジスタ22、プログラム制御部26を有し、V R A M8は図のようにプロセッサアレイ部18と一対のメモリ16、20とで構成されている。

【0004】 この構成において、入力ビデオ信号（nビットのデジタル画像データ）は入力ポート12を経て入力シフトレジスタ14に導かれ、並列nビットの入力画像データがビットごとに順次右方向にシフトされる。水平方向のレジスタ段数は、本例では画像データの1水平走査期間のデータ数分（つまり画素数分）を有し、入力画像データのデータレートに合わせたクロックで1水平走査期間の間シフトされる。したがって、入力シフト

レジスタ14には1水平走査期間の画像データが蓄積される。

【0005】 入力シフトレジスタ14に蓄積された入力画像データは、1水平走査期間毎にV R A M8を構成するメモリ16に移される。メモリ書き込み動作は、入力シフトレジスタ14の各段において同時に実行される。つまり、プログラムで指定されたメモリ16のアドレスに対応する1水平走査期間の画素数分のメモリセル（例えば、入力シフトレジスタ14の各段の真下に存在するメモリセル）に対して画像データの書き込みが同時に実行される（並列書き込み処理）。

【0006】 メモリ16に書き込まれた画像データは、過去に同様にして書き込まれたデータや、後述するプロセッサアレイ部18での演算結果でメモリ16に再書き込みされた画像データなどと共に記憶される。そして、この画像データが隨時必要に応じて読み出され、これがプロセッサアレイ部18での算術演算や論理演算用データなどとして使用される。

【0007】 メモリ16を構築する水平方向に配列されたメモリセルの数は1水平走査期間の画素数に一致するが、その垂直方向におけるメモリセルの数は特に制限されるものではない。

【0008】 プロセッサアレイ部18では、上下に存在するメモリ16、20からの画像データがプログラムに応じて読み出されて、これに必要な算術演算処理、あるいは論理演算処理が施されて、再びメモリ16あるいは20の所定のアドレス（プログラムによって指定される）に書き込まれる。

【0009】 プロセッサアレイ部18は、メモリ16、20の各セルの縦一列ごとに一つのプロセッサエレメント28（斜線図示）が対応しており、そのプロセッサエレメント28は1ビットのALU（算術論理演算ユニット）として構成されている。すなわち、このプロセッサエレメント28はその水平方向に対してのみ1水平走査期間の画素数に一致する数だけ配列されており、垂直方向には配列されていない。

【0010】 プロセッサエレメント28のそれぞれは1ビットのALUであるから、これらのプロセッサエレメント28の全てはビット処理に分解して1ビット、1ビット処理が進められることになる。

【0011】 プロセッサアレイ部18は入出力の速度とは別の動作速度でプログラム制御部26により制御される。そしてその制御は、いわゆるS I M D制御（S I M D制御： Single Instruction stream Multi Data stream制御）であるから、全てのプロセッサエレメント28は1つのプログラムにより連動して動作する。

【0012】 メモリ20は、メモリ16と同様に構成されたものが使用され、したがって、その水平方向に1水平走査期間の画素数に一致する数だけメモリセルが配列されている。メモリ20からの1水平走査期間分の画像

データは同時に出力シフトレジスタ22の各段に転送することができる。

【0013】出力シフトレジスタ22のレジスタ段数は、1水平走査期間の画素数分だけあり、出力画像のデータレートに合ったクロックで画像データが横方向にシフトされて、出力ポート24側に画像データがシリアルに出力される。

【0014】

【発明が解決しようとする課題】ところで、このように構成されたビデオ信号用プロセッサ10にあっては、プロセッサアレイ部18は1ビットのALUで構成され、ビットごとに算術演算処理若しくは論理演算処理がSIMD制御のもとに行なわれるものであるから、このプロセッサアレイ部18では線形処理のみが可能である。したがって、この構成では、ビデオ信号のような水平走査を基本とする画像データに対し、その水平走査期間を単位とするようなフィルタ演算などの線形演算の信号処理に適する。

【0015】そのため、テレビジョン信号処理などにおいてよく用いられるガンマ(γ)補正、リミッタ処理などの非線形処理系にこのビデオ信号用プロセッサ10を適用できない。グラフィック処理などでも、"カラーラックアップテーブル"を使用した非線形応答処理系にはこのビデオ信号用プロセッサを適用することがきでない。また、線形演算であっても固定的な定数を乗ずる乗算などでは演算器を用いずに、メモリによるテーブルルックアップで実現することがあるが、そのような処理系にも上述したビデオ信号用プロセッサを利用することはできない。

【0016】何れにしても、図5に示すプロセッサアレイ部18では線形処理のみであって、またこのプロセッサアレイ部18内には非線形処理のためのデータを格納したマッピングメモリなどを組み込むことが困難であるために、ガンマ補正回路やリミッタ回路などの処理系には不向きな回路構成となっていた。

【0017】そこで、この発明ではこのような従来の課題を解決したものであって、非線形処理をも可能にしたプログラマブルな信号処理用プロセッサを提案するものである。

【0018】

【課題を解決するための手段】上述した課題を解決するためにこの発明では、一定走査期間ごとの入力データを一時的に蓄積する入力シフトレジスタと、入力シフトレジスタから上記入力データを並列に読み出してこれを蓄積するメモリと、メモリに蓄積されたデータを読み出して算術演算などの線形処理を行い、これを上記メモリに再蓄積するSIMD制御されたプロセッサアレイと、上記メモリからのデータが並列入力される出力シフトレジスタと、外部で処理されたデータが入力する外部処理用のシフトレジスタと、外部で処理するためのデータ出力

用として使用される出力シフトレジスタと、これら外部処理用の入力シフトレジスタと出力シフトレジスタとの間に設けられたマッピングメモリとを有し、上記マッピングメモリが非線形処理用のルックアップテーブルとして用いられてなることを特徴とするものである。

【0019】

【作用】ビデオ信号処理用のプロセッサに適用した場合には、入力画像データはビットを単位として入力シフトレジスタ(第1の入力シフトレジスタ)14に読み込まれ、1水平走査期間の画像データを読み取ったのち、この1水平走査期間の画像データが第1のメモリ16に転送されてこれらが記憶される。

【0020】プロセッサアレイ部18では第1若しくは第2のメモリ16、20に記憶された画像データを用いてSIMD制御のもとで線形処理が実行され、その処理結果が例えば第2のメモリ20に記憶される。

【0021】第2のメモリ20に格納された処理結果の画像データが出力シフトレジスタ(第1の出力シフトレジスタ)22に並列転送され、これが直列的に読み出されて演算処理後の画像データがその出力ポート24に出力される。

【0022】非線形処理が必要なときには、プログラム制御によって第2のメモリ20から第2の出力シフトレジスタ32(非線形処理時のみに使用される)に転送された画像データが直列的に読み出されてこれがマッピングメモリ34に対するアドレスとして利用される。マッピングメモリ34には非線形処理結果のデータが予めマッピングされており、参照された非線形処理画像データが非線形処理時のみに使用される第2の入力シフトレジスタ30に直列入力され、そして第1のメモリ16に転送されてこれが記憶される。この画像データはプロセッサアレイ部18で再度線形処理されるか、若しくはそのまま処理しないで出力シフトレジスタ22にその結果が移され、そして出力される。

【0023】このように、非線形処理を行いたいときは、外部に設けられたマッピングメモリ34を参照して再びVRAM8内に戻すようにしたので、線形処理と非線形処理の双方を実現できる。

【0024】

【実施例】統いて、この発明に係るプログラマブルな信号処理用プロセッサの一例を、上述したビデオ信号用プロセッサに適用した場合につき図面を参照して詳細に説明する。

【0025】図1はこの発明に係る信号処理用プロセッサ10の一例を示すもので、その構成の大部分は図5に示した構成と同じである。

【0026】図5の構成と相違する点は、図1に示すようにVRAM8の外部に非線形処理結果がストアされているマッピングメモリ34が設けられていることと、このマッピングメモリ34に対してアドレスを指定するた

めに使用される出力シフトレジスタ（第2の出力シフトレジスタ）32が第2のメモリ20と出力シフトレジスタ（第1の出力シフトレジスタ）22との間に設けられていること、さらにはマッピングメモリ34より出力された非線形処理後の画像データを入力するための入力シフトレジスタ（第2の入力シフトレジスタ）30が入力シフトレジスタ（第1の入力シフトレジスタ）14と第1のメモリ16との間に設けられていることの3点である。

【0027】マッピングメモリ34は非線形処理用のルックアップテーブルとして用いるため、このマッピングメモリ34には上述したように非線形処理結果のデータが予めマッピングされている。そのために例えば、電源投入時にマッピングアドレスポート36からテーブルアドレスが入力され、そのアドレスを指定したメモリセルに、マッピングデータポート38から入力された非線形処理結果のデータ（表データ）が記憶されるようになっている。これでマッピングメモリ34への書き込みが終了する。マッピングメモリ34への書き込みはビデオ信号の水平帰線期間あるいは垂直帰線期間を利用して行なってもよい。

【0028】マッピングメモリ34としてはRAMを使用することができ、必要に応じて表データの書き換えが可能である。アプリケーションが限定されているときにはROMを使用することもできる。

【0029】シフトレジスタ14, 22, 30, 32は何れも同一構成のものが使用され、これらは何れも、フリップフロップ列で構成されたものを使用するのではなく、図2にその一部の構成を示すようにカラムデコーダ44からの制御信号によって、バスBUSとビット線B1, B2, ..., Bnとの間に接続されたスイッチ（トランジスタなどの電子スイッチ）TS1, TS2, ..., TSnがオンオフ制御されて、対応するラッチ回路45a, 45b, ..., 45nに画像データがラッチされるように構成されたものが使用される。

【0030】これによって、カラムデコーダ44よりの制御信号次第では入力画像データを左右何れの方向にもシフトさせることができるので、マッピングメモリ34より出力された非線形処理結果の画像データを図では左方向に順次シフトさせて第2の入力シフトレジスタ30に1水平走査期間分だけ取り込むことができるようになる。

【0031】第2の入力シフトレジスタ30および第2の出力シフトレジスタ32は何れも第1の入力シフトレジスタ14や第1の出力シフトレジスタ22と同じレジスタ段数を持ち、第2の入力シフトレジスタ30にあっては直列入力、並列出力構成であり、第2の出力シフトレジスタ32は並列入力、直列出力構成である。

【0032】続いて、このように構成されたビデオ信号用プロセッサ10の動作を説明する。

【0033】通常の処理動作つまり線形処理の場合には上述したと同様であるからその詳細な説明は省略するも、第1の入力シフトレジスタ14の画像データを第1のメモリ16に転送する場合には、第2の入力シフトレジスタ30を介すことなく直接第1のメモリ16に転送される。

【0034】同様に、第2のメモリ20に記憶された1水平走査期間分の画像データは、第2の出力シフトレジスタ32を介すことなく第1の出力シフトレジスタ22に並列転送される。したがって、この線形処理をフロー化すると、次のような処理となる。

【0035】入力ポート12—第1の入力シフトレジスタ14—第1のメモリ16—プロセッサアレイ部（ALU処理）18—第2のメモリ20—第1の出力シフトレジスタ22—出力ポート24

次に、非線形処理を行なうときには次のような処理となる。

【0036】テーブルマッピングに必要な処理の画像データがくると、第1の出力シフトレジスタ22に画像データを移すと同様にして、第2の出力シフトレジスタ32に画像データを移すようにプログラム制御される。したがって、第2の出力シフトレジスタ32の各段の真上に存在するメモリセルのうち、テーブルマッピングが必要な処理の画像データが記憶されているメモリセルから、第2の出力シフトレジスタ32の各段に対して、1水平走査期間毎に同時に一斉に一回の読み出し動作で1水平走査期間分の出力データが移される。

【0037】第2の出力シフトレジスタ32から順次読み出された出力データはマッピングメモリ34に対するアドレスとして与えられ、マッピング処理された出力画像データはそのまま第2の入力シフトレジスタ30に導かれる。したがって、マッピングメモリ34での僅かな処理時間を除くと1水平走査期間内に第2の出力シフトレジスタ32の出力画像データをマッピングして第2の入力シフトレジスタ30に移すことができる。

【0038】第2の入力シフトレジスタ30に蓄積されたテーブルマッピング処理後の画像データは、第1のメモリ16におけるプログラムで指定されたアドレスに1水平走査期間毎に移される。非線形処理された画像データに対して再び線形処理を施す場合にはプロセッサアレイ部18での処理が行なわれるが、そうでないときには非線形処理後の画像データは第2のメモリ20に転送され、そして第1の出力シフトレジスタ22を経て外部に導出される。

【0039】したがって、この線形処理をフロー化すると、次のような処理となる。

【0040】入力ポート12—第1の入力シフトレジスタ14—第1のメモリ16—プロセッサアレイ部（ALU処理）18—第2のメモリ20—第2の出力シフトレジスタ32—マッピングメモリ34—第2の入力シフト

レジスタ30—第1のメモリ16—プロセッサアレイ部
(ALU処理) 18—第2のメモリ20—第1の出力シ
フトレジスタ22—出力ポート24

入力シフトレジスタ14, 30、出力シフトレジスタ2
2, 32などと、メモリ16, 20間の1水平走査期間
毎の画像データの並列移動は、必ずしも全てが同じタ
イミングでなくてよい。それぞれ処理に支障がない範囲
であれば多少ズレたタイミングであってもよい。

【0041】マッピングメモリ34をプログラマブルに
するには、いろいろな使い方を想定することになり、ど
うしてもマッピングメモリ34の入出力接続線数が多く
なりがちであるが、そうするとマッピングメモリ34の
メモリ容量が大きくなつて冗長になることが予想され
る。

【0042】そのような場合には、汎用のマッピングメ
モリとして、大容量メモリを1個使用するのではなく、
図3に示すように小容量メモリを複数使用する構成とす
ればよい。図3ではマッピングメモリ34として3個の
小容量のマッピングメモリ34A, 34B, 34Cを使用
した場合を例示している。このように構成するときには、
非線形処理用の入力シフトレジスタ30も3個(3
0A, 30B, 30C)使用されると共に、出力シフト
レジスタ32も3個(32A, 32B, 32C)使用され、どのマッピングメモリを使用するかは、したがつて
どの出力シフトレジスタと入力シフトレジスタを使用し
てマッピング処理するかは予めプログラム制御部26に
プログラムされている。

【0043】図4は第2の入力シフトレジスタ30とし
て、通常周知のフリップフロップ列で構成されたもの
を使用した場合である。この場合には、図のようにその直
列入力は例えば左側であつて、データは順次右方向にシ
フトするものであるから、マッピングメモリ34は第1
の出力シフトレジスタ22の下側に配される。そして、
マッピングメモリ34の左側より出力されたマッピング
処理後の画像データが第2の入力シフトレジスタ30に
インプットされる。

【0044】ビデオ信号用プロセッサ10をLSI化す
る場合、LSIチップ上のマッピングメモリ34の配
置位置は任意であつて、メモリ16, 20の左右何れで

もよければ、シフトレジスタ14, 22の上下いずれで
もよい。

【0045】

【発明の効果】以上説明したように、この発明では入力
シフトレジスタと出力シフトレジスタとを新たに設け、
マッピングメモリを非線形処理用のルックアップテーブ
ルとして使用するようにしたものである。

【0046】これによれば、線形処理は勿論のこと、ブ
ログラムによっては非線形処理も可能であるから、上述
したようにガンマ補正処理、リミッタ処理あるいはグラ
フィック処理など何れも非線形処理を必要とするディジ
タル信号処理系にこの発明を適用できる特徴を有する。

【図面の簡単な説明】

【図1】この発明に係る信号処理用プロセッサの一例を
示す系統図である。

【図2】入力シフトレジスタの構成の一部を示す接続図
である。

【図3】この発明に係る信号処理用プロセッサの他の一
例を示す系統図である。

【図4】この発明に係る信号処理用プロセッサの他の一
例を示す系統図である。

【図5】従来の信号処理用プロセッサの一例を示す系統
図である。

【符号の説明】

10 ビデオ信号用プロセッサ

12 入力ポート

14 第1の入力シフトレジスタ

16 第1のメモリ

18 プロセッサアレイ部

20 第2のメモリ

22 第1の出力シフトレジスタ

24 出力ポート

26 プログラム制御部

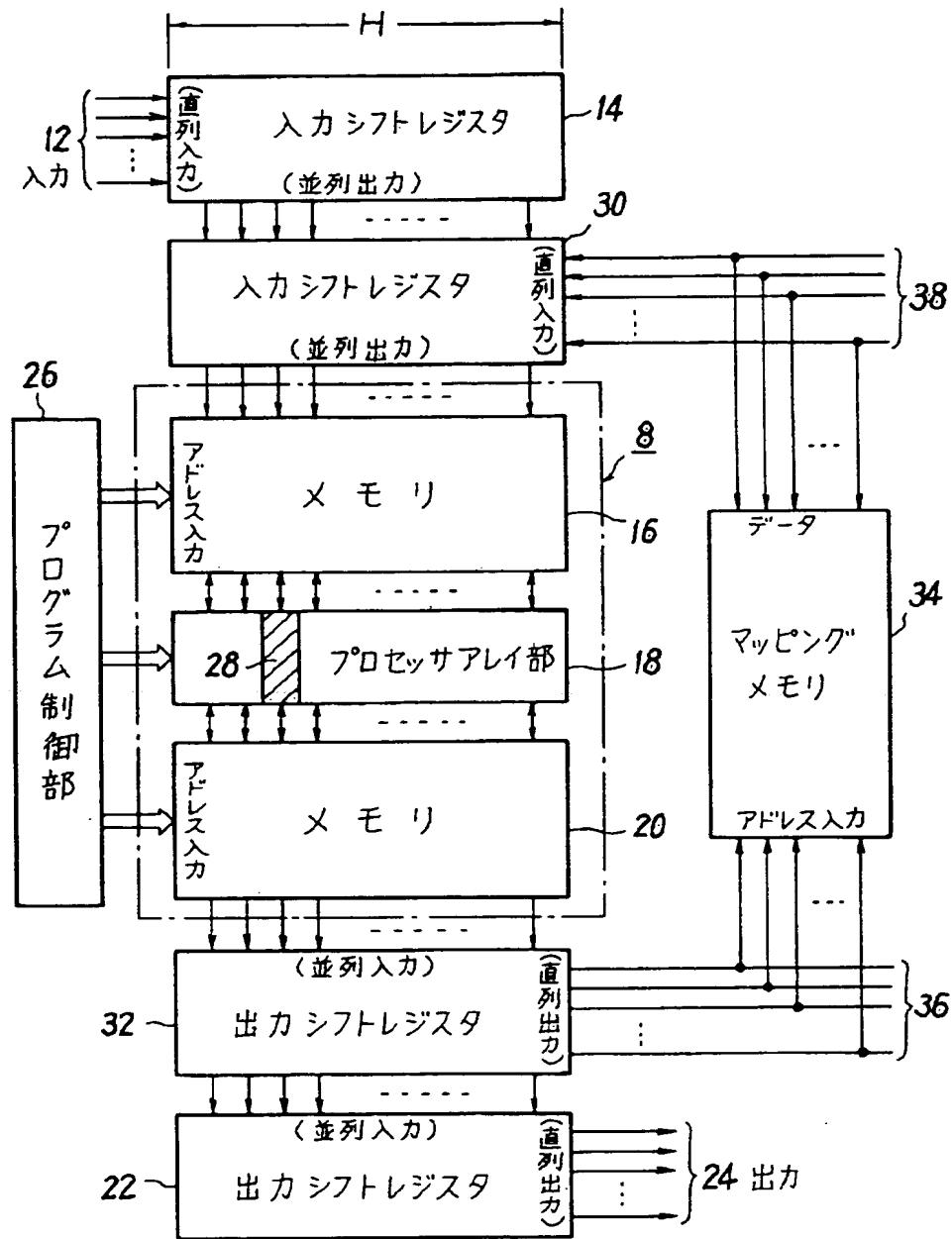
30, 30A, 30B, 30C 第2の入力シフトレジ
スタ

32, 32A, 32B, 32C 第2の出力シフトレジ
スタ

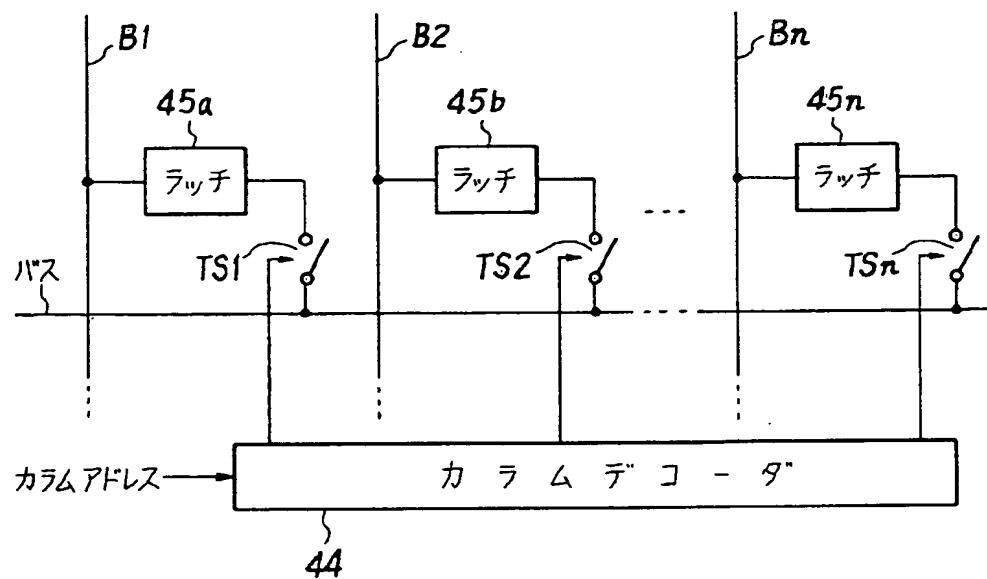
34 マッピングメモリ

【図1】

ビデオ信号用プロセッサ 10

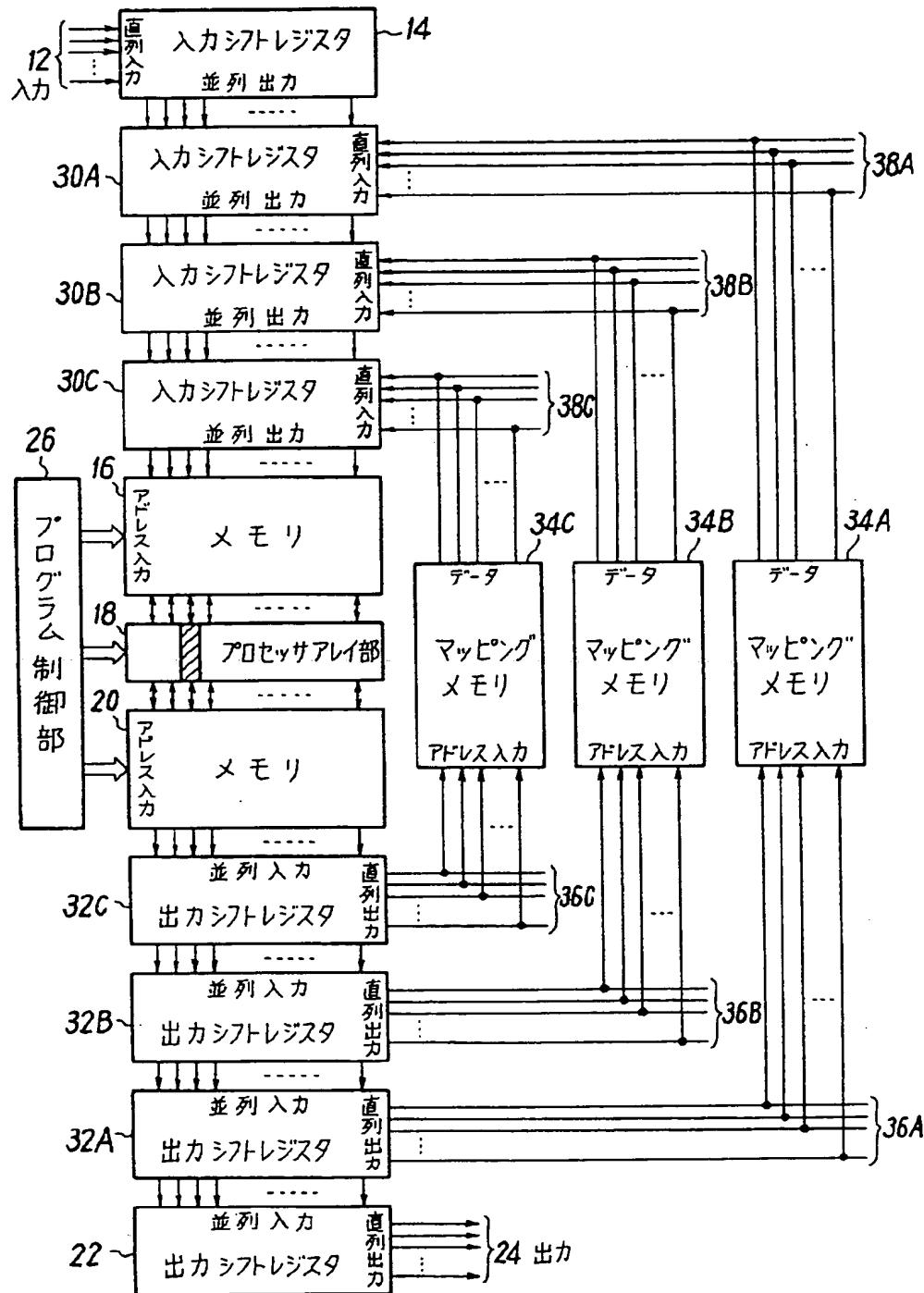


【図2】

入力シフトレジスタ30の構成例

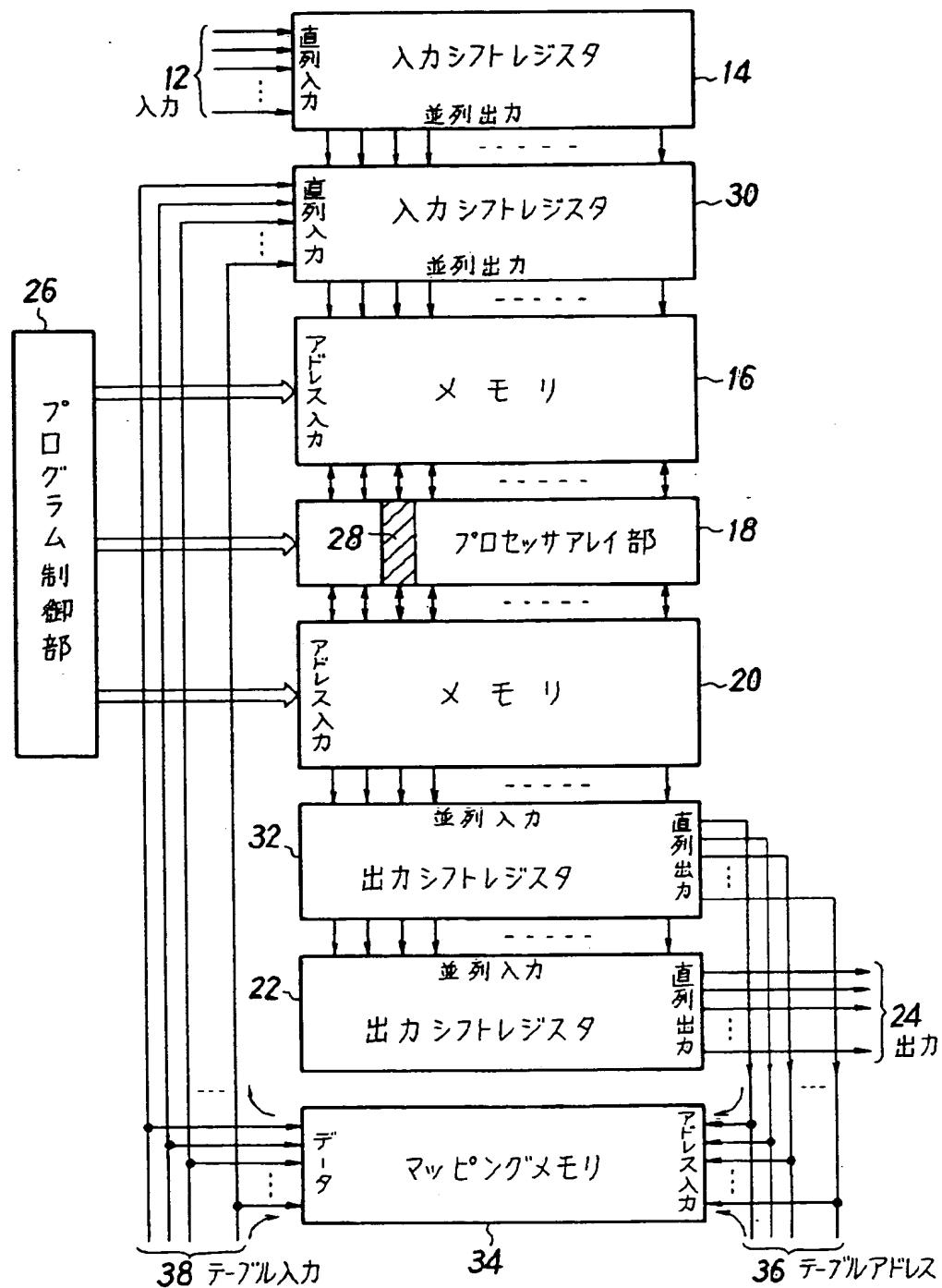
【図3】

ビデオ信号用プロセッサ10の他の例



【図4】

ビデオ信号用プロセッサ10の他の例



【図5】

従来のビデオ信号用プロセッサ 10

